

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-111754

(43)Date of publication of application : 23.04.1999

(51)Int.Cl.

H01L 21/60

(21)Application number : 09-290314

(71)Applicant : NIPPON STEEL CORP

(22)Date of filing :

07.10.1997

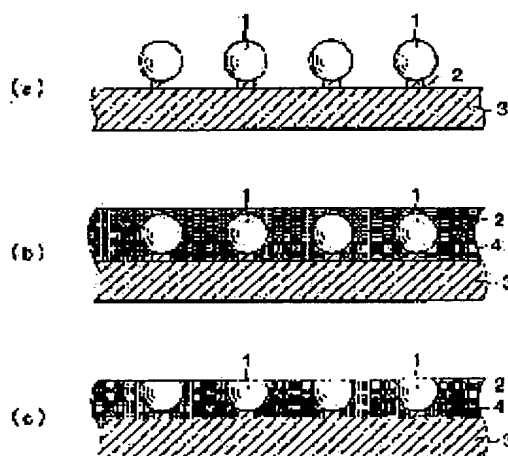
(72)Inventor : ISHIKAWA SHINJI
TATSUMI KOHEI

(54) CHIP-SIZE PACKAGE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To lower the price by reducing the number of manufacturing steps, without the use of molds and to enable sufficient protection of the semiconductor integrated circuits.

SOLUTION: Chip-size packages are manufactured through steps for disposing conductive spheres 1 to be respectively connected to electrodes 2 on semiconductor integrated circuits, a step for covering the semiconductor integrated circuits and the conductive spheres 1 with resin 4, a step for removing the resin 4 in such a way that a part of the conductive spheres 1 is exposed and a step for separating by cutting the semiconductor integrated circuits. In this way, the price is lowered by reducing the number of manufacturing steps, and reliability is improved sufficiently for protecting the semiconductor integrated circuits.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-111754

(43) 公開日 平成11年(1999) 4月23日

(51) Int.Cl.⁸

H 0 1 L 21/60

識別記号

3 1 1

F I

H 0 1 L 21/60

3 1 1 Q

審査請求 未請求 請求項の数4 F D (全 5 頁)

(21) 出願番号

特願平9-290314

(22) 出願日

平成9年(1997)10月7日

(71) 出願人 000006655

新日本製鐵株式会社

東京都千代田区大手町2丁目6番3号

(72) 発明者 石川 信二

川崎市中原区井田3-35-1 新日本製鐵

株式会社技術開発本部内

(72) 発明者 巽 宏平

川崎市中原区井田3-35-1 新日本製鐵

株式会社技術開発本部内

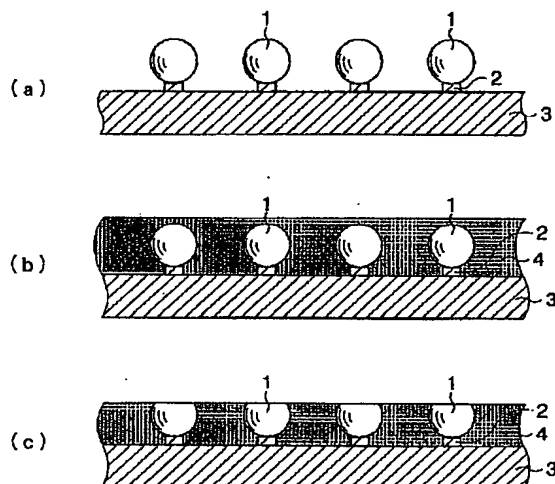
(74) 代理人 弁理士 國分 孝悦

(54) 【発明の名称】 チップサイズパッケージ及びその製造方法

(57) 【要約】

【課題】 金型を用いることなく、工程数を低減して、低価格化を図ることができるようにするとともに、半導体集積回路を十分に保護できるようにする。

【解決手段】 半導体集積回路の個々の電極2に接続される導電性球体1を配置する工程と、前記半導体集積回路および導電性球体1を樹脂4で被覆する工程と、前記導電性球体1の一部が露出するように前記樹脂4を除去する工程と、個々の半導体集積回路を切り出す工程とにより、チップサイズパッケージを製造方法することにより、工程数を低減して低価格化を図るとともに、半導体集積回路の保護を十分に行うことができるようにして、信頼性を向上させることができるようにする。



【特許請求の範囲】

【請求項1】 半導体集積回路の電極に接続される導電性球体と、前記半導体集積回路および導電性球体の周囲を覆う樹脂とを具備し、前記導電性球体の一部が前記樹脂から露出していることを特徴とするチップサイズパッケージ。

【請求項2】 前記導電性球体の露出面積が前記半導体集積回路の電極面積の1.5倍以上であることを特徴とする請求項1に記載のチップサイズパッケージ。

【請求項3】 ウエハに複数の半導体集積回路を形成する工程と、前記半導体集積回路の個々の電極に接続される導電性球体を配置する工程と、前記半導体集積回路および導電性球体を樹脂で被覆する工程と、前記導電性球体の一部が露出するように前記樹脂を除去する工程と、前記半導体集積回路を個々に切り出す工程とを有することを特徴とするチップサイズパッケージの製造方法。

【請求項4】 ウエハに複数の半導体集積回路を形成する工程と、前記半導体集積回路の個々の電極に接続される導電性球体を配置する工程と、前記半導体集積回路および導電性球体を樹脂で被覆する工程と、前記導電性球体の露出面積が前記半導体集積回路の電極面積の1.5倍以上となるように前記樹脂および導電性球体を除去する工程と、前記半導体集積回路を個々に切り出す工程とを有することを特徴とするチップサイズパッケージの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、チップサイズパッケージおよびその製造方法に関する。

【0002】

【従来の技術】近年、電子機器が小型化・薄型化するに伴い、それに使用される半導体集積回路のパッケージも小型化・薄型化している。その種のパッケージのなかでも、大きさが半導体集積回路の大きさと概ね同じパッケージはチップサイズパッケージと呼ばれ、テープキャリア方式、セラミックキャリア方式、樹脂射止方式、LOC方式など種々のタイプのものが開発されている（日経マイクロデバイス」1995年2月号96頁）。

【0003】しかしながら、従来のチップサイズパッケージでは、半導体集積回路をウエハから切り出した後、各々のチップサイズパッケージを作製しているため、専用の金型を必要とするので製造価格が高くなっていた。さらに、半導体集積回路をウエハから切り出した後で、各々のチップサイズパッケージを作製するようになるので工程数が多くなり、製造中に信頼性を低下させる問題

が起りやすい問題問題点があった。

【0004】また、キャリア方式のチップサイズパッケージでは、バンパを有するポリイミド配線基板あるいはセラミック配線基板上に半導体集積回路を実装し、次に、これを目的の配線基板に実装する形態をとっているため、半導体集積回路を配線基板に実装するのに実装工程を2回行うこととなり、工程数が多くなることで高価格になる問題があった。

【0005】また、LOC方式は専用のリードフレームおよび射止用金型を作成せねばならず、さらにワイヤボンディングも必要なことから、低価格化は困難である。一方、従来のエポキシ樹脂のモールドにおいては、金型と樹脂との接着を防ぐ目的で離型剤が添加されていた。前記離型剤により半導体集積回路及びその周辺の金属との接着力が弱くなるために、信頼性が低下する問題があった。

【0006】これらに対して、特開平7-161764号には、電極パッド上にバンパを形成したウエハの半導体集積回路形成面全面をバンパの先端部が露出する厚さの樹脂で被覆し、場合によってはバンパの先端の樹脂を除去したのち、個々の半導体集積回路に切り離す方法が開示されている。

【0007】また、特開平9-64049号には、電極パッド上にバンパを形成したウエハの半導体集積回路形成面全面を樹脂で被覆し、バンパの先端を露出させた後、その露出部分に半田球体を形成したり、ウエハの半導体集積回路を形成する面の全てを樹脂で被覆し、部分的に樹脂を除去した後その部分にバンパを形成し、さらに半田球体を形成する技術が開示されている。

【0008】

【発明が解決しようとする課題】しかしながら、これらの技術においてバンパの形成方法は、いずれも材料として金、銅あるいは半田等を使用した蒸着法やメッキ法あるいはスタッドバンパ法であり、複雑な工程が必要のため高価かつ不純物による信頼性低下を招きやすいという問題があった。

【0009】また、一度樹脂で被覆した後でバンパを形成するため、所定の部分の樹脂を除去する方法では工程が複雑になり、高価格となる。なお、スタッドバンパでは、高さおよび形状を一定に形成できない問題があった。さらには、形成面上にダメージが加わるため、集積回路形成面上に電極パッドを配置できない等の問題があった。

【0010】さらに、これらの方法では、パッケージの電極面積は半導体集積回路の電極面積よりも大きくはできないため、パッケージを基板に実装する際に微細配線が可能な高価な基板を使用しなければならない問題があった。また、パッケージ後のバーンインテスト等による検査においても高価な検査装置あるいはソケット等を使用しなければならないかった。

【0011】一方、これらの他にも半導体集積回路にバンプを形成し、これをフェースダウン方式で直接基板に実装する方法が提案され、実用化されている。しかし、この方法では半導体集積回路の保護が全くなされておらず、機械的にも弱いものであった。

【0012】本発明は前述の問題点にかんがみ、形状が均一で種々の材料が適用可能であるという特徴を有する導電性球体を電極上に配置した後、樹脂を被覆し、さらに導電性球体の一部を露出させることで従来法の工程の複雑さ、高価格、信頼性低下という問題点を解決し、金型を用いることなく、工程数を低減して、低価格化を図ることができ、信頼性を向上させ、半導体集積回路の保護が十分なチップサイズパッケージ及びその製造方法を提供することを目的とする。

【0013】

【課題を解決するための手段】前記目的を達成するために、本発明のチップサイズパッケージは、半導体集積回路の電極に接続される導電性球体と、前記半導体集積回路および導電性球体の周囲を覆う樹脂とを具備することを特徴としている。

【0014】また、本発明のチップサイズパッケージの他の特徴とするところは、前記のチップサイズパッケージにおいて、前記導電性球体の露出面積が前記半導体集積回路の電極面積の1.5倍以上であることを特徴としている。

【0015】また、本発明のチップサイズパッケージの製造方法の特徴とするところは、ウエハに複数の半導体集積回路を形成する工程と、前記半導体集積回路の個々の電極に接続される導電性球体を配置する工程と、前記半導体集積回路および導電性球体を樹脂で被覆する工程と、前記導電性球体の断面が露出するよう樹脂および導電性球体を除去する工程と、個々の半導体集積回路を切り出す工程とからなることを特徴としている。

【0016】また、本発明のチップサイズパッケージの製造方法の他の特徴とするところは、ウエハに複数の半導体集積回路を形成する工程と、前記半導体集積回路の個々の電極に接続される導電性球体を配置する工程と、前記半導体集積回路および導電性球体を樹脂で被覆する工程と、前記導電性球体の露出面積が前記半導体集積回路の電極面積の1.5倍以上となるよう樹脂および導電性球体を除去する工程と、個々の半導体集積回路を切り出す工程とからなることを特徴としている。

【0017】

【発明の実施の形態】以下に、本発明の実施の形態を詳細に説明する。まず、複数の半導体集積回路領域が形成されたウエハの各電極上に導電性球体を配置する。この際、導電性球体は従来バンプとして使用されている金、銅あるいは半田等の材料に限らず、導電性を持ち所定の大きさの球体が製造可能な材質であればいずれでもよい。

【0018】すなわち、従来のバンプ形成方法により制約されていた限られた材質ではなく、半導体集積回路の電極材質および実装する基板の電極材質に鑑み、経時変化により信頼性上問題となりやすい金属間化合物等を生じない材質を選ぶことができる。さらに、熱サイクルによる負荷応力に対し、変形が容易な材質を選択することで接合面への負荷を小さくすることもできる。

【0019】また、従来のバンプ形成法ではパッケージング後の電極面積は、バンプ形成法により制約を受けるが、本実施の形態では種々の大きさの導電性球体を使用することでウエハ上の電極の接続部面積はそのままパッケージング後の電極面積を自由に変えることができる。

【0020】なお、本実施の形態の製造方法では、導電性球体の露出面積が半導体集積回路の電極面積の1.5倍以上にできるという特徴があるが、パッケージによっては必ずしも1.5倍以上である必要はない。しかし、僅かに大きいような場合には従来法でも可能なため、本発明の優位性が得られる範囲として1.5倍以上とした。

【0021】また、電極に接続される導電性球体を配置する方法は特に指定するものではないが、加圧、加熱、超音波振動付加等による接合を組み合わせて行うことが望ましい。特に、半導体集積回路の電極と同一位置となるようにして複数の吸着孔が設けられた配列基板に微振動により浮遊させた導電性球体を吸着させ、さらに余分に吸着した導電性球体を超音波振動により除去し、導電性球体群を被接合部に接合する方法を用いれば、本実施の形態の特徴を損なわず安価に信頼性の高い接合が可能となる。

【0022】なお、強い加圧を行った場合球体の変形が生じるが、隣接する球体同志が接触しなければ問題はない。また、非常に弱い加圧であっても、樹脂被覆後は圧縮力が作用するため接続上の問題はない。

【0023】次に、導電性球体の固定をより強固にし、熱サイクル時の負荷応力から接続を守るため、あるいは湿度や腐食等の外部環境から半導体集積回路を保護するために樹脂を被覆する。

【0024】この際、樹脂の厚みは球体の直径以上であっても以下であっても外部環境から半導体集積回路を保護することができる厚みであればかまわない。また、樹脂の種類についてもいずれでもかまわないが、直接半導体集積回路に接触するため、高温と水分による腐食成分の溶出を考えると現在工業的に高純度の製品が製造可能なエポキシ樹脂、ポリイミド樹脂、シリコン樹脂等が適当である。なお、本実施の形態においては金型を用いないので、樹脂に離型剤を添加する必要はない。

【0025】また、樹脂とウエハおよび導電性球体の接合を促進するためカップリング剤等を用いることができる。なお、被覆後、樹脂によっては熱硬化処理等を行う

のが望ましい。

【0026】さらに、導電性球体を被覆している樹脂の一部を除去することで半導体集積回路と外部との接続を可能にする。樹脂の一部を除去する方法としては、ウエハの底面を基準に一定の高さまで研磨したり、高温のツールにより炭化除去したりするなどの方法がある。特に、導電性球体を使用すると高さのばらつきが少ないため、研磨する高さにより露出する導電性球体の断面積を自由に調整できるという特徴がある。

【0027】以上の処理をウエハで行い、最終的には各々の半導体集積回路を切り離してチップサイズパッケージとする。このようにウエハからの半導体集積回路の切り離しを最後に行うため、パッケージ化の作業を全てウエハ単位で行うことができるので、工数を削減できて、低価格化を実現することができる。

【0028】また、半導体集積回路表面に樹脂を被覆しているので、いわゆる樹脂モールドとほぼ同じ信頼性を保証できる。すなわち、パッケージが半導体集積回路領域とほぼ同じ小さいままで、強度的にも、耐湿性等においても、いわゆるモールドパッケージと同等の信頼性を確保することができる。

【0029】また、通常は半導体集積回路の動作を確認するためバーニン等による検査が行われるが、本実施の形態の方法によるパッケージは、電極面積を必要な大きさにすることができるため、一般的なプローブあるいはソケットを使用して動作の確認を行うようにすることができる。

【0030】

【実施例】以下、本発明の実施例について図面を参照しながら説明する。図1は、本発明の第1の実施例を示すウエハ製造工程の一部断面図（模式図）である。図1（a）においては、ウエハの一部の断面が示されており、半導体集積回路および電極の形成行程を終了し、更に各電極に導電性球体を配置した状態を示している。

【0031】この図において、3は半導体集積回路を形成したウエハ、2は電極、1は導電性球体である。本実施例では電極材料はアルミニウムを用いたが、電極の形成は従来の材料および技術を用いればよく、特に新しいものを必要としない。

【0032】また、導電性球体として、Au、Ni、AuメッキCu、37%Pb-Sn、3.5%Ag-Sn、50%Pb-In、3.1%Si-Al、20%Sn-Auの8種類の材料で80μmおよび175μm径の球体を製造したものを使用し、16種類のウエハを作

成した。

【0033】次に、図1（b）に示される樹脂被覆を行った。この実施例では、熱硬化性液状エポキシ樹脂4を用い、硬化熱処理を行った。さらに、図1（c）に示される導電性球体1の頭部までの研磨を行った。研磨はウエハ面と平行な面になるよう行い、最終的な導電性球体1の露出面は約70μm径および約160μm径であった。なお、この場合電極面は100μm角であるため、露出面積は電極面積の約0.4倍および約2倍であった。

【0034】最後に、ウエハを個々の半導体集積回路領域に切り分け、チップサイズパッケージとした。なお、電極間ピッチは200μmであった。

【0035】次に、本発明の第2の実施例について説明する。図2（a）は、図1（b）に相当する樹脂被覆後のウエハの一部の断面を示している。導電性球体および樹脂には第1の実施例と同じものを用いた。本実施例では樹脂により導電性球体を約15μm被覆している。

【0036】図2（b）は、ウエハ面と平行な面になるよう研磨した後を示している。この実施例は、樹脂4の被覆を絶縁性・耐環境特性から最小限の厚みにできることを示したものである。

【0037】以上のように、すべての種類の導電性球体についてチップサイズパッケージを作成した後、ソケットに装着して高温保管、温度サイクル、熱衝撃、PTH試験等の信頼性評価を行った。いずれの実施例においてもリードフレームを使用した従来のパッケージと同様の十分な信頼性を有することが確かめられた。

【0038】

【発明の効果】本発明は前述したように、本発明によれば、金型を用いることなく、工程数を低減して、低価格化を図ることができるとともに、信頼性を向上させ、半導体集積回路の保護が十分なチップサイズパッケージ及びその製造方法を提供することが可能となった。

【図面の簡単な説明】

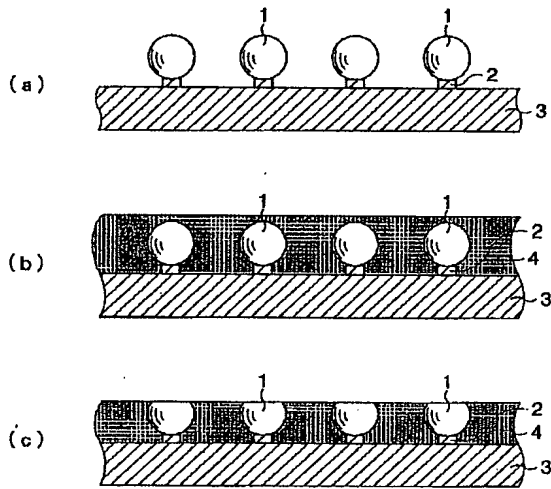
【図1】本発明の第1の実施例を示すウエハの一部断面図である。

【図2】本発明の第2の実施例を示すウエハの一部断面図である。

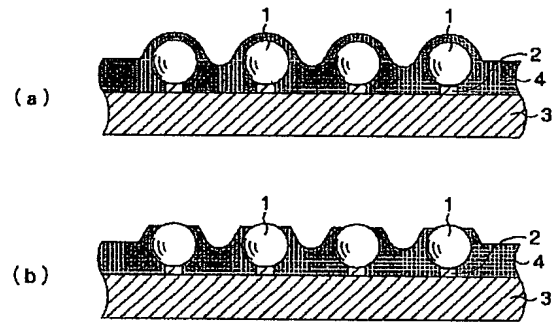
【符号の説明】

- 1 導電性球体
- 2 電極
- 3 半導体集積回路が形成されたウエハ
- 4 樹脂

【図1】



【図2】



コメント

担当審査官は、本願発明が引用参証の日本公開特許公報平 10-340932 号、日本公開特許公報平 11-111754 号から容易に発明できたものであるという理由で拒絶しました。

本件の拒絶理由に対しては、貴側にて各引用参証と本願発明の差異点をご分析なさることが費用及び時間関係上、更に効果的なものと思料し、弊所の分析を省略致しますので、この点、ご諒解の程、宜しくお願い致します。

本件の拒絶理由を克服するためには、本願発明と各引用参証との間の目的、構成及び作用効果面からの差異点及びこれらの組合わせから本願発明を容易に着想できないという点を意見書を通じて詳細に説明すべきものであると思われます。なお、本件の諸外国出願の中で、前記各引用参証が関連された技術として採択された事実があったものであれば、これに対する意見案が本件の拒絶理由を克服するのにより参考資料となり得るものと思料しますので、これに対する資料を貴側のご高見と共にご送付下さるようお願い申し上げます。

併せて、本願に対応する諸外国特許出願の中で、出願公告又は特許されたものがございましたら、その公報の写しをご送付下さるようお願い申し上げます。

以上

018066

출력 일자: 2002/8/27

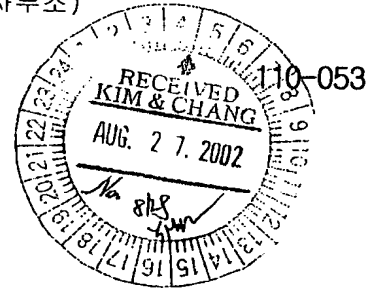
발송번호 : 9-5-2002-030489811

발송일자 : 2002.08.26

제출기일 : 2002.10.26

수신 : 서울 종로구 내자동 219 한누리빌딩(김&장 특허법률사무소)

주성민 귀하



특허청 의견제출통지서

출원인 명칭 닛본 덴기 가부시끼가이샤 (출원인코드: 519980958731)
주소 일본국 도쿄도 미나토구 시바 5쵸메 7방 1고
대리인 성명 주성민 외 1 명
주소 서울 종로구 내자동 219 한누리빌딩(김&장 특허법률사무소)
출원번호 10-2000-0067591
발명의 명칭 반도체 장치 및 그 제조 방법

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서 또는/및 보정서를 제출하여 주시기 바랍니다. (상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인통지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위 제1-24항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

[아래]

본원발명 청구항 제1-24항의 요지는 범프에 가해지는 응력을 완화시키기 위해 도전부의 표면을 제외하고 반도체칩을 피복하는 응력버퍼층의 절연막을 형성하는 기술로, 이는 일본공개특허공보 평 10-340932(1998.12.22.)에서 반도체칩과 배선기판에 열적 응력을 흡수하는 응력버퍼층을 형성하는 기술과 일본공개특허공보 평 11-111754(1999.4.23.)에서 도전부의 표면을 제외하고 반도체칩을 피복하는 유사한 절연막을 구비하는 기술의 결합으로부터 본원의 기술분야에서 통상의 지식을 가진 자의 수준에서 용이하게 발명할 수 있습니다.

[참 부]

첨부 1 일본공개특허공보 평 10-340932호(1998.12.22) 1부
첨부 2 일본공개특허공보 평 11-111754호(1999.04.23) 1부 끝.

2002.08.26

특허청

심사4국

반도체2 심사담당관실

심사관 유환철



출력 일자: 2002/8/27

<<안내>>

문의사항이 있으시면 ☎ 042)481-5743 로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지(www.kipo.go.kr)내 부조리신고센터